

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-304261

(43)公開日 平成10年(1998)11月13日

(51)Int.Cl.⁶
 H 0 4 N 5/44
 H 0 3 J 5/00
 H 0 4 B 1/18
 1/26

識別記号

F I

H 0 4 N 5/44

K

H 0 3 J 5/00

Z

H 0 4 B 1/18

E

1/26

F

審査請求 未請求 請求項の数9 O L (全 20 頁)

(21)出願番号 特願平9-108556

(22)出願日 平成9年(1997)4月25日

(31)優先権主張番号 特願平8-347908

(32)優先日 平8(1996)12月26日

(33)優先権主張国 日本 (J P)

(31)優先権主張番号 特願平9-43849

(32)優先日 平9(1997)2月27日

(33)優先権主張国 日本 (J P)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 松浦 修二

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

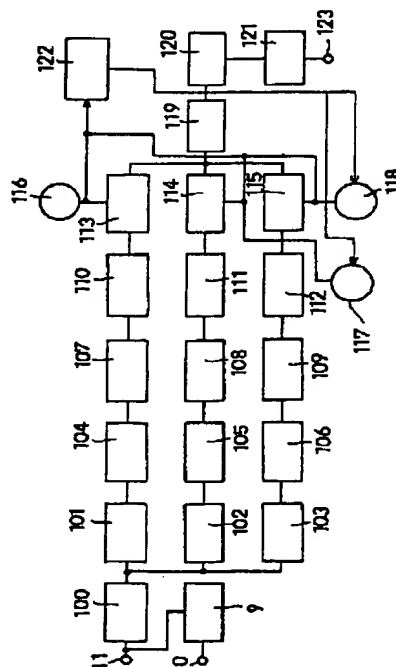
(74)代理人 弁理士 佐野 静夫

(54)【発明の名称】 ケーブルモデム用チューナ

(57)【要約】

【課題】小型軽量で歪の少ないケーブルモデム用チューナを提供する。

【解決手段】入力するCATV受信信号をUHFバンド、VHFハイバンドおよびVHFローバンド等の複数の周波数帯の信号毎に選択出力する入力選択回路21、22、23を設け、この複数の入力選択回路毎に所望の周波数に同調した所望のCATV局の受信信号を出力する高周波増幅入力同調回路24、25、26と、各高周波増幅入力同調回路の出力を増幅する高周波増幅回路27、28、29と、各高周波増幅回路の出力を所望の周波数の信号に同調させる高周波増幅出力同調回路30、31、32と、各高周波増幅出力同調回路の出力を中間周波数の信号に変換する周波数変換回路33、34、36、37、38とを設け、この各周波数変換回路の出力を増幅して選局した中間周波数の受信出力を導出する中間周波増幅回路39とを設けた構成にする。



1

【特許請求の範囲】

【請求項1】 CATV局への上り回線用のデータ信号を送出するためのアップストリーム回路と、上記上り回線用のデータ信号を除去するハイパスフィルタを介して導出した下り信号を受信するための次の構成を備えたことを特徴とするケーブルモデム用チューナ、
多波の入力受信信号を周波数帯域により少なくとも2系統に選択出力する選択回路、

上記選択回路で選択出力した各受信信号を各系統においてそれぞれ所望の周波数に同調させる高周波増幅入力同調回路、

上記各高周波増幅入力同調回路の出力信号を各系統においてそれぞれ増幅する高周波増幅回路、

上記各高周波増幅回路の出力信号を各系統においてそれぞれ所望の周波数に同調させる高周波増幅出力同調回路、

上記各高周波増幅出力同調回路の出力を各系統において所望の中間周波数の信号に変換する周波数変換回路、
上記各周波数変換回路で周波数変換した受信信号を増幅する中間周波増幅回路。

【請求項2】 上記選択回路をPINダイオードで構成し、上記高周波増幅回路をデュアルゲート型MOSFETで構成して、該デュアルゲート型MOSFETの第1のゲートに上記受信信号を供給し、第2のゲートと、上記PINダイオードに、上記高周波増幅回路とPINダイオードをAGC制御するAGC制御電圧を供給するAGC制御回路を設けたことを特徴とする請求項1に記載のケーブルモデム用チューナ。

【請求項3】 上記高周波増幅回路を、第1のゲートに上記受信信号が供給されるデュアルゲート型MOSFETで構成し、上記選択回路の前段にアッテネータ回路を設け、上記デュアルゲート型MOSFETの第2のゲートと上記アッテネータ回路に、上記デュアルゲート型MOSFETとアッテネータ回路をAGC制御するためのAGC制御電圧を供給するAGC制御回路を設けたことを特徴とする請求項1に記載のケーブルモデム用チューナ。

【請求項4】 上記選択回路では前記受信信号を50MHz～170MHzの第1の帯域と、170MHz～470MHzの第2の帯域と、470MHz～860MHzの第3の帯域との3系統に選択出力することを特徴とする請求項1乃至請求項3に記載のいずれかにケーブルモデム用チューナ。

【請求項5】 上記選択回路では、前記受信信号を50MHz～170MHzの第1の帯域と、170MHz～470MHzの第2の帯域と、470MHz～860MHzの第3の帯域のうち、上記第1及び第2の帯域と、上記第3の帯域との2系統に選択出力し、前記第1及び第2の帯域の系統における上記高周波増幅入力同調回路及び上記高周波増幅出力同調回路ではスイッチング素子

2

を用いて上記第1及び第2の帯域の違いで同調素子を変更するようにしたことを特徴とする請求項1乃至請求項3のいずれかに記載のケーブルモデム用チューナ。

【請求項6】 上記第3の帯域の系統の高周波増幅入力同調回路を、ハイパスフィルタと、同調コイル、可変容量ダイオード、該可変容量ダイオードへの同調電圧印加回路で構成した同調回路と、インピーダンス整合用可変ダイオードと、次段の高周波増幅回路に抵抗を介してバイアス電圧を供給するバイアス回路で構成したことを特徴とする請求項4又は請求項5に記載のケーブルモデム用チューナ。

【請求項7】 上記同調回路を構成する可変容量ダイオードを、同一特性の可変容量ダイオードが並列接続された回路を直列接続した構成にすることを特徴とする請求項6に記載のケーブルモデム用チューナ。

【請求項8】 上記第1及び第2の帯域の系統の各高周波増幅入力同調回路を第1の同調コイルと第1の可変容量ダイオードで構成した第1の共振回路と、上記第1の同調コイルに結合する第2の同調コイルと第2の可変容量ダイオードで構成した第2の共振回路と、上記第1及び第2の可変容量ダイオードに同調電圧を印加する同調電圧印加回路とを備えた複同調型入力回路と、隣接する回路とのインピーダンスの整合を行なうインピーダンス整合用可変容量ダイオードと、後段の高周波増幅回路に抵抗を介してバイアス電圧を印加するバイアス回路を設けたことを特徴とする請求項4に記載のケーブルモデム用チューナ。

【請求項9】 上記第1の可変容量ダイオードを実質的に同一特性の可変容量ダイオードが並列接続したものを直列接続した回路で構成することを特徴とする請求項8に記載のケーブルモデム用チューナ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ケーブルテレビの空チャンネルを利用して家庭で高速データ通信を行わせるためのケーブルモデムに用いるケーブルモデム用チューナに関するものである。

【0002】

【従来の技術】ケーブルテレビ（以下CATVという）では家庭への引き込み線を同軸ケーブルのままにしておき、幹線ネットワークを光ファイバ化したHFC(Hybrid Fiber/Coax)の導入が進められている。家庭に数Mビット/秒の広帯域データ通信サービスを提供しようとしているため、もはや先端技術ではない64QAMでも、帯域幅6MHzで伝送速度30Mビット/秒の高速データラインを作ることができる。これにケーブルモデムが使用される。ケーブルテレビの空チャンネルを利用して4Mビット/秒～27Mビット/秒の高速データ通信が実現できる。

【0003】図7は、ケーブルモデム用チューナの従来

例のブロック図である。CATV信号は局側に向けて送信される上り信号が5MHz～42MHz、局側よりケーブルモデム用チューナに向けて送信される下り信号が54MHz～860MHzにて運用され、チューナの入力端子11を介してケーブルの回線に接続される。ケーブルモデムより送信された上り信号はCATV局（システムオペレータ）のデータレシーバにて受信され、センターのコンピュータに入る。また、ケーブルモデムの内部では上り信号はデータ端子10にQPSK送信機からの直交位相変位変調（QPSK）されたデータ信号が導入される。このデータ信号は、アップストリーム回路9を介し、更にCATV入力端子11を介してCATV局に送信される。

【0004】下り信号はCATV局にて受信したデータ信号を64QAM変調後、ケーブル回線に送出し、CATV入力端子11を介しケーブルモデムに入る。モデム内部ではチューナにて希望信号を選局し、64QAM復調後MPEG再生を行い、CPUにて処理したデータ信号をモデムに接続されているコンピュータに導出する。

【0005】一方チューナ内部での下り信号の処理は次のようになる。CATV入力端子11に入力した下り信号は広帯域増幅器1を通過後、第一混合回路2と第一局部発振回路7により第一中間周波数950MHzに変換される。選局は第一局部発振回路7をPLL選局回路13によりマイコン制御される。第一中間周波数に変換されたIF信号は、第一中間周波増幅入力同調回路3で同調がとられた後、第一中間周波増幅回路4で増幅され、第一中間周波出力同調回路5で選局が行われた後、第二混合回路6に導入される。

【0006】第二混合回路6では第二局部発振回路8により第二中間周波数信号に変換し、変換した第二中間周波数信号をIF出力端子12に導出する。第二局部発振回路8は第一局部発振回路7と同様にPLL選局回路13でPLL制御される。第二中間周波数は通常44MHzが適用される。チューナ出力端子から導出される第二中間周波数は、この後、5MHzのベースバンドに変換され、さらにA/D変換された後、64QAM復調され、MPEG処理の後データ信号として導出される。

【0007】

【発明が解決しようとする課題】ケーブルモデム用チューナは、常時待機受信を行うようにするため、低消費電力が要求されるが、上記従来のダブルコンバージョン方式のケーブルモデム用チューナでは、待機状態での消費電力が1～2Wを要し、作動時の消費電力に比べて大きな値になる。特に第一混合回路及び第一局部発振回路での消費電力が全消費電力の70%程度となり、高い値になる。

【0008】また、上記従来の回路は、第一局部発振回路及び第二局部発振回路の2回路によるダブルコンバージョン方式を採用しているため、各回路の干渉を防ぐこ

とが必要になり、電氣的に厳重なシールド構造をなす筐体設計を施す必要があるとともに、空間距離を設け、さらに干渉を軽減するシャーシ設計を行わなければならない。また、各局部発振器間の干渉によりローカルスプリアス妨害が発生し易くなり、通信エラーが起こり易い。

【0009】また、従来例では高周波増幅回路の入力回路が希望信号に対し、同調回路となっておらず広帯域増幅器となっている。このためCATV信号全波入力の場合、混信による歪みが発生しやすくなり、電力利得を高く、又雑音指数を下げることは困難となり、通信エラーが発生しやすくなる。

【0010】また、第一局部発振周波数が1GHz～2GHz帯に存在しているためVCO（Voltage Controlled Oscillator）としてのフェイズノイズ及びマイクロホニック雑音の改善に難点がある。この現象は製品において通信エラー（BERTの劣化現象）となる。

【0011】

【課題を解決するための手段】本発明の第1の構成ではケーブルモデムチューナは、CATV局への上り回線用のデータ信号を送出するためのアップストリーム回路と、上記上り回線用のデータ信号を除去するハイパスフィルタを介して導出した下り信号を受信するための以下の（1）～（6）を備えている、（1）多波の入力受信信号を周波数帯域により少なくとも2系統に選択出力する選択回路、（2）上記選択回路で選択出力した各受信信号を各系統においてそれぞれ所望の周波数に同調させる高周波増幅入力同調回路、（3）上記各高周波増幅入力同調回路の出力信号を各系統においてそれぞれ増幅する高周波増幅回路、（4）上記各高周波増幅回路の出力信号を各系統においてそれぞれ所望の周波数に同調させる高周波増幅出力同調回路、（5）上記各高周波増幅出力同調回路の出力を各系統において所望の中間周波数の信号に変換する周波数変換回路、（6）上記各周波数変換回路で周波数変換した受信信号を増幅する中間周波増幅回路。

【0012】従って、上り回線用データ信号はアップストリーム回路を介してCATV局へ送出され、また、CATV局からの下り回線用データ信号はハイパスフィルタで上り回線用データ信号が除去されて選択回路に入力する。該選択回路では、受信信号を各系統にそれぞれ選択出力し、この出力される各帯域の信号はそれぞれ各系統において高周波増幅入力同調回路に入り、ここで所望の周波数の信号に同調した信号を導出する。

【0013】導出された各信号は、その後、各系統において高周波増幅回路で増幅された後、それぞれ高周波増幅出力同調回路に供給され、ここで所望の周波数に同調した信号を取り出される。そして、それぞれ次段の周波数変換回路に供給されて中間周波数の信号に変換される。周波数変換回路は例えば混合回路と局部発振回路か

ら成る。中間周波数の信号に変換された受信信号は、その後、中間周波増幅回路で増幅され、出力信号として導出される。

【0014】また、本発明の第2の構成では、上記第1の構成において、上記選択回路をPINダイオードで構成し、上記高周波増幅回路をデュアルゲート型MOSFETで構成して、該デュアルゲート型MOSFETの第1のゲートに上記受信信号を供給し、第2のゲートと、上記PINダイオードに、上記高周波増幅回路とPINダイオードをAGC制御するAGC制御電圧を供給するAGC制御回路を設けている。

【0015】従って、選局回路を構成するPINダイオードに、入力信号としてCATV局からの多チャンネル信号が60dB μ 以上の強信号の入力レベルで供給されても、このPINダイオードにはAGC制御回路よりAGC電圧が印加されるので、高周波増幅回路を構成するデュアルゲート型MOS・FETに、60dB μ 以上の強信号が入力されるのを防止する。

【0016】従って、強入力レベルの多波信号で歪が発生しやすいデュアルゲート型MOS・FETでの歪の発生を抑制する。また、上記デュアルゲート型MOS・FETにも上記AGC制御回路よりAGC電圧が印加されているので、70dB μ 以上の信号レベルでAGCが作用するようにすれば、デュアルゲート型MOS・FETに70dB μ 以上の強信号レベルの入力信号が印加されても歪を抑制することができる。

【0017】また、本発明の第3の構成では、上記第1の構成において、上記高周波増幅回路を、第1のゲートに入力信号が供給されるデュアルゲート型MOSFETで構成し、上記選択回路の前段にアッテネータ回路を設け、上記デュアルゲート型MOSFETの第2のゲートと上記アッテネータ回路に、上記デュアルゲート型MOSFETとアッテネータ回路をAGC制御するためのAGC制御電圧を供給するAGC制御回路を設けている。

【0018】従って、CATV局からの入力信号として、多チャンネル信号が60dB μ 以上の強信号の入力レベルで供給されても、上記アッテネータ回路にAGC制御回路よりAGC電圧が印加されるので、上記デュアルゲート型MOS・FETに60dB μ 以上の強信号が入力されるのを防止している。従って、強入力レベルの多波信号で歪が発生しやすいデュアルゲート型MOS・FETでの歪の発生を抑制する。

【0019】また、上記デュアルゲート型MOS・FETにも上記AGC制御回路よりAGC電圧が印加されているので、70dB μ 以上の信号レベルでAGCが作用するようにすれば、デュアルゲート型MOS・FETに70dB μ 以上の強信号レベルの入力信号が印加されても歪を抑制することができる。

【0020】また、本発明の第4の構成では、上記第1の構成乃至上記第3の構成のいずれかにおいて、上記選

択回路では前記受信信号を50~170MHzの第1の帯域と、170~470MHzの第2の帯域と、470MHz~860MHzの第3の帯域との3系統に選択出力している。

【0021】従って、下り回線用データ信号は選択回路で帯域に従って上述の3系統に選択出力される。各系統にはそれぞれ高周波増幅入力同調回路、高周波増幅回路、高周波増幅出力同調回路及び周波数変換回路が設けられており、受信信号は各系統で中間周波数の信に変更されて中間周波増幅回路で増幅される。

【0022】また、本発明の第5の構成では、上記第1の構成乃至上記第3の構成のいずれかにおいて、上記選択回路では、前記受信信号を50MHz~170MHzの第1の帯域と、170MHz~470MHzの第2の帯域と、470MHz~860MHzの第3の帯域のうち、上記第1及び第2の帯域と、上記第3の帯域の2系統とに選択出力し、前記第1及び第2の帯域における上記高周波増幅入力同調回路及び上記高周波増幅出力同調回路ではスイッチング素子を用いて上記第1及び第2の帯域の違いで同調素子を変更するようにしている。

【0023】従って、下り回線用のデータ信号は選択回路に従って上述の2系統に選択出力される。第3の帯域の系統では前述の構成と同様に中間周波数に変換される。一方、第1及び第2の帯域の系統では、スイッチングダイオード等のスイッチング素子を用いてコイル及びコンデンサ等の同調素子の変更を行って同調を行う。これにより、周波数帯域の変化比が大きいために高周波増幅入力同調回路と高周波増幅出力同調回路において単独の同調素子では同調を行うのに対処する。

【0024】また、本発明の第6の構成では、上記第4の構成又は上記第5の構成において上記第3の帯域の系統の高周波増幅入力同調回路を、ハイパスフィルタと、同調コイル、可変容量ダイオード、該可変容量ダイオードへの同調電圧印加回路で構成した同調回路と、インピーダンス整合用可変ダイオードと、次段の高周波増幅回路に抵抗を介してバイアス電圧を供給するバイアス回路で構成している。

【0025】従って、選択回路より選択された第3の帯域(470~860MHz/UHFバンド)の受信信号は高周波増幅入力同調回路に供給されると、400MHzを遮断周波数とするハイパスフィルタで低域の信号が除去された後、同調コイルと可変容量ダイオードで構成した共振回路に導かれ、同調電圧印加回路より印加される同調電圧に応じた所望の周波数に同調する。

【0026】そして、この所望の周波数に同調した信号は次段の高周波増幅回路に供給されるが、この高周波増幅器の入力にはバイアス抵抗を介して、上記第3の帯域(UHFバンド)の電源電圧が印加される。従って、上記高周波増幅回路の入力端子にはインダクタンスがないので、高周波増幅回路の入力容量とで、上記400MHz

z 近辺での共振回路が形成されることがなく、妨害信号の影響が軽減される。

【0027】また、本発明の第7の構成では、上記第6の構成において、上記同調回路を構成する可変容量ダイオードを、同一特性の可変容量ダイオードが並列接続された回路を直列接続した構成としている。

【0028】従って、可変容量ダイオードは直列接続されているので、1個の可変容量ダイオードの両端にかかる電圧は $1/2$ になり、入力する多波のCATV信号が75dB μ 以上等の強信号レベルであっても歪の発生を低減することができる。また、単に可変容量ダイオードを直列接続しただけでは、可変容量ダイオードの内部抵抗(直列抵抗)が2倍になるので、共振回路の実効Q

(尖鋭度)が下り、選択特性が劣化する。しかし、この構成では可変容量ダイオードを並列接続したものを直列接続しているので、可変容量ダイオードの内部抵抗の合成値、容量変化比及び同調容量の最小値を同一にすることができ、選択特性の劣化も防止することができる。

【0029】また、本発明の第8の構成では、上記第4の構成において、上記第1及び第2の系統の各高周波増幅入力同調回路を第1の同調コイルと第1の可変容量ダイオードで構成した第1の共振回路と、上記第1の同調コイルに結合する第2の同調コイルと第2の可変容量ダイオードで構成した第2の共振回路と、上記第1及び第2の可変容量ダイオードに同調電圧を印加する同調電圧印加回路とを備えた複同調型入力回路と、隣接する回路とのインピーダンスの整合を行なうインピーダンス整合用可変容量ダイオードと、後段の高周波増幅回路に抵抗を介してバイアス電圧を印加するバイアス回路を設けている。

【0030】従って、選択回路で選択された第1の帯域(VHFハイバンド)と第2の帯域(VHFローバンド)の受信信号はそれぞれインピーダンス整合用可変容量ダイオードでインピーダンス整合がとられて高周波増幅入力同調回路に供給される。高周波増幅入力同調回路に供給されたVHFハイバンド及びVHFローバンドの受信信号は第1の同調コイルと第1の可変容量ダイオードで構成した第1の共振回路に導かれ、同調電圧印加回路より印加される同調電圧に応じた所望の周波数の信号を導出する。上記第1の共振回路で同調した信号は第1の同調コイルに結合する第2の同調コイルに供給され、第2の同調コイルと第2の可変容量ダイオードで構成した第2の共振回路に導かれ、上記同調電圧印加回路より印加される同調電圧に応じて再度所望の周波数に同調する。

【0031】そして、上記所望の周波数に同調したVHFハイバンド及びVHFローバンドの信号は次段の高周波増幅回路に供給されるが、この高周波増幅回路の入力にはバイアス抵抗を介して上記第1の帯域(VHFハイバンド)及び第2の帯域(VHFローバンド)の電源電

圧が印加される。従って、上記高周波増幅回路の入力端子にバイアス電圧を印加するバイアス回路にはインダクタンスがないので、上記高周波増幅回路の入力容量とで共振回路を形成することがなく、共振回路による発振等の妨害信号の発生を防止することができる。

【0032】また、本発明の第9の構成では、上記第8の構成において、上記第1の可変容量ダイオードを実質的に同一特性の可変容量ダイオードが並列接続したものを直列接続した回路で構成している。

【0033】従って、同調回路を構成する可変容量ダイオードは2個の素子を並列接続したものを直列接続されているので、各可変容量ダイオードの両端にかかる電圧は $1/2$ になり、入力する多波のCATV信号が強入力レベルの信号であっても歪の発生を低減することができる。上記可変容量ダイオードの内部抵抗の合成値、容量変化比および同調容量の最小値は1個の素子の場合と同一になり、共振回路の実効Qを低下させることがなく、選択特性が劣化することはない。

【0034】

【本発明の実施の形態】

(実施形態1) 図1は、本発明の実施形態1のブロック図である。データ端子10より供給される上り信号は、QPSK変調されたデータ信号をアップストリーム回路9を通じてCATV入力端子11に供給され、CATV局に向けて送出される。他方、CATV入力端子11より供給される下り信号はハイパスフィルタ100を通過の後、入力選択回路101、102、103に入り、UHFバンド、VHF・HIGHバンド、VHF・LOWバンドの各回路に切り換えられる。

【0035】上記ハイパスフィルタ100は5~46MHzが減衰域で、54MHz以上を通過域とする特性のフィルタである。上記UHFバンドとは470~860MHz、VHF・HIGHバンドとは170~470MHz、VHF・LOWバンドとは54~170MHzを指すが、特にその範囲は規定されない。入力選択回路101、102、103は一般的にはスイッチングダイオードによる切り換え方法、又は帯域分割によるフィルタにより切り換える方法等が用いられる。本実施形態では、スイッチングダイオードによる方法を採用している。

【0036】上記各バンドは各々受信チャンネルに応じて動作状態となり、他のバンドは動作しない機能となっている。例えばUHFバンドのチャンネル受信時は、UHFバンド系統の入力選択回路101、高周波増幅入力同調回路104、高周波増幅器107、高周波増幅出力同調回路110、混合回路113および局部発振回路116が動作状態になり、VHF・HIGHバンドとVHF・LOWバンド系統の入力選択回路102、103、高周波増幅入力同調回路105、106、高周波増幅器108、109、高周波増幅出力同調回路111、11

(6)

9

2、混合回路114、115、局部発振回路117、118は動作を停止する。

【0037】同様にVHF・HIGHバンドの受信時は、VHF・HIGHバンド系統の入力選択回路102、高周波増幅入力同調回路105、高周波増幅器108、高周波増幅出力同調回路111、混合回路114および局部発振回路117が動作状態になり、UHFバンドとVHF・LOWバンド系統の入力選択回路101、103、高周波増幅入力同調回路104、106、高周波増幅器107、109、高周波増幅出力同調回路110、112、混合回路113、115および局部発振回路116、118は動作を停止する。

【0038】また、VHF・LOWバンドの受信時はVHF・LOWバンド系統の入力選択回路103、高周波増幅入力同調回路106、高周波増幅器109、高周波増幅出力同調回路112、混合回路115および局部発振回路118が動作状態になり、UHFバンドとVHF・HIGHバンド系統の入力選択回路101、102、高周波増幅入力同調回路104、105、高周波増幅器107、108、高周波増幅出力同調回路110、111、混合回路113、114および局部発振回路116、117は動作を停止する。

【0039】上記アップストリーム回路9、ハイパスフィルタ100、IF増幅器119、121、SAWフィルタ120およびCPU122等の共通回路は、バンド切り換えとは無関係に常時動作状態になる。そして、この一連の動作は、CPU122よりPLL選局回路に選局データが送出されるのに伴って起る。上記選局データに基づき、チャンネル選局が行われると、これと同時に選局されるバンド情報に応じ、入力選択回路101、102、103が作動して、各系統の回路への電源供給の切り換えが行われる。

【0040】次に各バンドの動作を説明する。CATV信号は上述するようにハイパスフィルタ100を通過した後、入力選択回路101、102、103に入り、バンドの切り換えが行われる。そして、その出力はそれぞれ高周波増幅入力同調回路104、105、106に導かれて、チャンネルの選局が行われる。チャンネル選局が行われた信号は高周波増幅器107、108、109で増幅された後、高周波増幅出力同調回路110、111、112に供給され、ここで受信信号を導出する。

【0041】その後、選択された受信信号は混合回路113、114、115及び局部発振回路116、117、118で中間周波信号に変換され、中間周波増幅回路119で増幅されてSAWフィルタ120を通過した後、再度中間周波増幅回路121で増幅され、IF出力としてIF出力端子123より導出される。

【0042】図7に示す従来技術においては、広帯域増幅器1にCATV信号の多波信号を受信するため歪みが発生しやすい。この問題を解決するため、増幅器のデバ

10

イスに多くの電流を流す必要がある。また、第一混合回路2には+10dBμ以上の局部発振信号が必要なことから、第一局部発振回路7の局部発振信号を増幅する回路に多くの電流が必要である。

【0043】上述する実施形態1においては、希望信号を受信すべく同調回路を、高周波増幅器の入力回路である高周波増幅入力同調回路104、105、106に設けることにより、多波信号が増幅器に直接加わることができ、歪みを押さえることが可能となり、結果として多くの電流を流す必要がなくなる。また、上記図7に示す従来の技術では、広帯域増幅回路1の歪を改善するため、電力利得を10dBμ前後の低い値にしているが、実施形態1のように、入力回路に同調回路を設けることにより、歪を改善するための高利得にすることが容易になり、結果として低雑音化が可能になる。

【0044】周波数変換回路を各バンド毎に1回路で構成しているため、図7に示す従来のダブルコンバージョン方式に比べ、発振回路間の干渉によるローカルスプリアスの発生がなくなり、回路の配置を離したり、干渉を防止するためのシールドを厳重に行う必要がなく、外形寸法を小型にできるとともに、シールド構造を簡単にすることができる。

【0045】また、図7に示す従来技術では第1局部発振回路7の局部発振周波数は1~2GHzとなり高く、VCOのフェイズノイズやマイクロホニック雑音が発生し易いが、実施形態1では局部発振回路116、117、118の局部発振周波数は、受信周波数に対して中間周波数だけ高い値でよいので1GHz雑音になり、上記フェイズノイズやマイクロホニック雑音等の発生を抑制することができる。

【0046】（実施形態2）本実施形態を説明するにあたり、上記第1の実施形態との差異を明確にするため、再度上記第1の実施形態について詳述する。上記第1の実施形態のケーブルモデム用チューナは図8に示すように470~860MHzを受信するUHFバンド（B3）、170MHz~470MHzを受信するVHF・HIGHバンド（B2）、54~170MHzを受信するVHF・LOWバンド（B1）に分けて、各バンドごとの受信回路を設けたものである。但し、この場合、バンド分割は特に規定されるものではなく、適宜に設定される。

【0047】下り信号はIFフィルタ（ハイパスフィルタ）20を通過後、入力切り換え回路に入り、上述するUHFバンド、VHF・HIGHバンド、VHF・LOWバンドの各回路に切り替えられる。上記IFフィルタ20は、5~46MHzの減衰域である。上記の各バンドはそれぞれ受信チャンネルに応じて選択的に動作状態となり、選択されない他のバンドは動作しないようになって

【0048】例えば、UHFバンドのチャネル受信時は、高周波スイッチングダイオード（PINダイオード）21、高周波増幅入力同調回路24、高周波増幅器27、高周波増幅出力同調回路30、混合回路33、局部発振回路36、IF増幅回路39、SAWフィルタ40及びIF増幅回路41等より成る回路の機能が動作状態となり、高周波スイッチングダイオード（PINダイオード）22、23、高周波増幅入力同調回路25、26、高周波増幅器28、29、高周波増幅出力同調回路31、32、混合回路34、35、局部発振回路37、38より成るVHFHIGHバンドおよびVHF LOWバンドの回路の動作が停止する。

【0049】次に上記各バンドの動作状態を説明する。CATV信号は高周波スイッチングダイオード21、22、23、抵抗42、43、44、45、コンデンサ46、47、48、49及び各バンドの電源電圧+B1、+B2、+B3を供給する電源端子50、51、52より成る入力切り替え回路で選択された後、高周波増幅入力同調回路24、25、26に入り、高周波増幅器27、28、29で増幅され、高周波増幅出力同調回路30、31、32にて受信信号を導出する。

【0050】混合回路33、34、35と局部発振回路36、37、38で高周波増幅出力同調回路30、31、32より導出された信号は周波数変換され、中間周波増幅回路39に入りSAWフィルタ40を通過した後、再度中間周波増幅回路41にて増幅され、IF出力端子51に導出される。当該動作は各バンドにおいて共通である。

【0051】上記入力切り替え回路は、各バンドの動作状態では電源端子50、51、52より電源供給を受ける。UHFバンド受信時には電源端子50に電圧+B1が印加されバイアス抵抗43、42で高周波スイッチングダイオード21にバイアスを供給してON状態となり、UHF信号を通過させる。一方、高周波スイッチングダイオード22、23はVHF HIGHバンド、VHF LOWバンドの電源端子51、52に電源が供給されていないため、OFF状態となり、これらのバンドの信号は通過しない。当該動作は各バンドに共通である。

【0052】AGC端子53に供給されるRFのAGC電圧は、バイアス抵抗54、55、56を通して高周波増幅器27、28、29の第2ゲートに印加される。高周波増幅器27、28、29は一般的にデュアルゲート型MOSFETが使用されており、第1ゲートには入力信号が供給され、第2ゲートにはリバースAGC電圧が印加される。

【0053】上記のように、図8に示すケーブルモデム用チューナにおいては、高周波増幅器27、28、29にデュアルゲート型MOSFET素子が適用され、第1のゲートには入力信号が、また第2のゲートにはAGC

電圧が印加されるので、入力信号レベルが60dBμ以下においては、フルゲインにて動作し、また60dBμ以上の入力信号レベルにおいては、チューナの出力レベルが常に一定レベルとなるようAGC端子53にDC電圧が印加されている。このDC電圧はデュアルゲート型MOSFETの第2のゲートに供給されており、リバース方向にDC電圧を印加することにより高周波増幅器の電力利得が低下する機能を有している。

【0054】CATV信号は100チャネル前後の多くの信号からなり同一レベルの信号が同時にチューナの入力端子11に導入される。この入力信号は高周波増幅入力同調回路24、25、26を経由して希望信号を導出し、高周波増幅器27、28、29を構成するデュアルゲート型MOSFETの第1のゲートに印加されるが、入力信号レベルが60dBμ以上になると相互変調歪（Inter modulation）であるCSO（Composit second order beat）や、CTB（Composit triple beat）が発生したり、また混変調歪が発生しやすいという問題があった。

【0055】また、上述する図8において、UHFバンドの高周波増幅入力同調回路24は、図9に示すようになっている。図9において、60及び63はDCカットコンデンサ、61はインピーダンス整合コイルである。このDCカットコンデンサ60、63とインピーダンス整合コイル61で、前段の入力信号切り換え回路72及び後段の高周波増幅器27と高周波増幅入力同調回路24間のインピーダンス整合を行う。

【0056】64は同調コイル、65は可変容量ダイオード、66は容量変化比抑制コンデンサであり、これらにより同調回路を形成する。この同調回路の同調点は端子70よりバイアス抵抗67を介して、上記可変容量ダイオード65に供給される同調電圧によって調整される。

【0057】次段の高周波増幅器27へは、端子71より、UHFバンドの所定のバイアス電圧が高周波チョークコイル68を介して供給される。69はバイパスコンデンサである。なお、上記の高周波増幅器27は一般にデュアルゲート型MOSFETが使用され、第1のゲートには入力信号が、また第2のゲートにはリバースAGC電圧が印加される。

【0058】図9に示す構成の高周波増幅入力同調回路24では、次段の高周波増幅器27へのバイアスを高周波チョークコイル68を介して供給しているため、高周波チョークコイル68と次段の高周波増幅器27の入力容量により共振回路が形成される。この共振回路は、400MHz近辺で共振するようにしているので、希望信号の受信時、妨害信号の影響を受け易いという問題があった。尚、この図9における問題に関しては後述するように第4の実施形態で解決が図られている。

【0059】また、図9に示す構成の高周波増幅入力同調回路では、多波のCATV入力信号が75dBμ以上

の強信号レベルで印加されると、可変容量ダイオード65において相互変調歪や混変調歪が発生しやすいという問題があった。

【0060】図2は実施形態2の回路図であり、上記図8に対応する部分は同一符号を付し説明を省略する。この実施形態2は、図1における各バンドの入力選択回路101、102、103を高周波スイッチングダイオード(PINダイオード)で構成し、この高周波スイッチングダイオードを後段の高周波増幅器27と、同様AGC電圧で制御して、高周波増幅回路の非直線歪を改善するものである。

【0061】図2において、UHFバンドは、高周波スイッチングダイオード(PINダイオード)21、DCカットコンデンサ47、高周波増幅入力同調回路24、高周波増幅器27、高周波増幅出力同調回路30、混合回路33、局部発振回路36、バイアス抵抗75、88、AGCバイアス抵抗81、84及びインバータ78を備える。

【0062】またVHF・HIGHバンドは、高周波スイッチングダイオード(PINダイオード)22、DCカットコンデンサ48、高周波増幅入力同調回路25、高周波増幅器28、高周波増幅出力同調回路31、混合回路34、局部発振回路37、バイアス抵抗76、89、AGCバイアス抵抗82、85及びインバータ79を備える。

【0063】更にVHF・LOWバンドは、高周波スイッチングダイオード(PINダイオード)23、DCカットコンデンサ49、高周波増幅入力同調回路26、高周波増幅器29、高周波増幅出力同調回路32、混合回路35、局部発振回路38、バイアス抵抗77、90、AGCバイアス抵抗83、86及びインバータ80を備えた構成より成り、ハイパスフィルタ20、アップストリーム回路58、中間周波数増幅回路39、41及びSAWフィルタ40は各バンド共通の回路になっている。

【0064】CATV入力信号は入力端子11に導入され、5~46MHzの上り信号を除去するハイパスフィルタ(HPF)20を通過の後、DCカットコンデンサ46を経てPINダイオード21、22、23に印加される。このPINダイオード21、22、23は衆知のごとくアノードからカソードの方向に電流を制御することにより高周波抵抗が変化する特性を利用しアッテネータ回路によく用いられる。

【0065】本例ではバイアス抵抗42と、75、76、77によりPINダイオード21、22、23にバイアスを供給し、その電流をトランジスタで構成したインバータ78、79、80で制御する。上記各PINダイオード21、22、23に印加するバイアス電圧は、電源92、93、94より供給される。インバータ78、79、80はAGC抵抗81、82、83を通じAGC端子91より供給されるAGC電圧により制御され

る。

【0066】従って、各バンドの選択は、上記PINダイオード21、22、23に供給するバイアス電圧によって行うことができる。例えば、電源92に電圧が印加されると、PINダイオード21にバイアスがかかり、UHFバンドの回路が作動する。この場合、電源93、94には電圧が印加されないように制御するので、PINダイオード22、23は無限大の抵抗となり、VHF・HIGHバンド及びVHF・LOWバンドの回路はOFF状態になる。VHF・HIGHバンド及びUHF・LOWバンドの回路が選択的に動作する場合も同様である。

【0067】CATV信号は上記のようにして、PINダイオード21、22、23により制御された後、DCカットコンデンサ47、48、49を通過し、高周波増幅入力同調回路24、25、26に供給される。高周波増幅入力同調回路24、25、26に入力したCATV信号は、希望信号に同調した後、高周波増幅器27、28、29で増幅され、局部発振回路36、37、38及び混合回路33、34、35で中間周波信号に変換され、IF増幅回路39に導出される。IF増幅回路39以降は従来例と同様に動作する。

【0068】次に、遅延AGCについて説明する。本実施形態2においては、高周波増幅回路での歪みを改善するため、PINダイオード21、22、23でのAGC動作を高周波増幅器27、28、29でのAGC動作より早く動作するように、AGCバイアスを設定する。これにより高周波増幅器27、28、29に導入されるCATV信号は歪が発生する入力レベルに設定することが可能となる。AGCのバイアス設定はPINダイオード21、22、23のバイアス抵抗42、75、76、77によりRF・AGC動作開始点に設定する。

【0069】次にPINダイオード21、22、23の利得減衰量に応じて高周波増幅器27、28、29のAGCが動作するようバイアス抵抗84、88、85、89、86、90によりAGC電圧を設定する。例えばCATV信号の入力レベルが60~90dBμに対してRF・AGCが動作するように設定するには、まず60dBμでAGC動作を開始するようPINダイオード21、22、23のバイアスを設定し、次にPINダイオード21、22、23の利得減衰量を-15dBとした場合、75dBμの入力レベルとなった時に高周波増幅器27、28、29のAGCが動作開始となるようAGCバイアス抵抗84、85、88、89、86、90を定め所望のAGCバイアスを設定する。

【0070】(実施形態3) 図3は実施形態3の回路図である。図3において、図2に示す実施形態2に対応する部分は同一符号を付し、説明を省略する。実施形態2と相違する点は、PINダイオード21、22、23をAGC制御せず、上記PINダイオード21、22、23

3の前端にPINアッテネータ回路95を設け、このPINアッテネータ回路95をAGC制御するようにしたものである。

【0071】即ち、この実施形態3は、図7に示す通常の回路を大幅に変更することなく、チューナの入力回路にPINアッテネータ回路95を設け、各バンド共通の電源97よりインバータ96を介して、PINアッテネータ回路95にバイアスを供給する。98は、AGC抵抗である。AGC電圧は、AGC端子53よりAGC抵抗98を介してインバータ96に供給され、PINアッテネータ回路95の減衰量を制御する。高周波増幅器27、28、29のAGCバイアスは、上述する実施形態2の場合と同様にして設定される。以上のようにして、この実施形態3も上記の実施形態2と同様に遅延AGC動作を行わせることができ、歪みの改善が可能になる。

【0072】（実施形態4）図4は、実施形態4の回路図であり、図2および図3に対応する部分には同一符号を付し、説明を省略する。この実施形態4は、上記実施形態における高周波増幅入力同調回路の改良に関するものであり、特にUHFバンドの特性改善を図るものである。

【0073】図4において、コンデンサ130とコイル131は400MHzを遮断周波数とするハイパスフィルタを構成する。61はインピーダンス整合用コイル、64は同調コイル、132、133は可変容量ダイオード、134は容量変化比抑制コンデンサ、135、136はバイアス抵抗、139はDCカットコンデンサ、137はバイアス抵抗、138はバイパスコンデンサである。

【0074】上記コンデンサ130とコイル131でハイパスフィルタを構成し、同調コイル64、可変容量ダイオード132及び容量変化比抑制コンデンサ134で同調回路を構成する。インピーダンス整合用コイル61と整合用可変容量ダイオード133は同調回路への整合をとる。可変容量ダイオード132、133へのバイアス電圧は同調電圧供給用バイアス抵抗135、136を介して供給され、高周波増幅器27のバイアスは、バイアス供給用抵抗137及びバイパスコンデンサ138により供給される。

【0075】図9に示す回路では、高周波増幅器27の入力側に設けた高周波チョークコイル68と高周波増幅器27の入力容量により400MHz近辺にて共振回路を形成しているため、希望信号受信時、妨害信号の影響を受けやすい欠点があるが、この実施形態4では高周波増幅器27へのバイアスは抵抗により供給しているため、共振回路が形成されることはなく、妨害信号の影響をかなり軽減することができる。

【0076】図6は本実施形態4における高周波増幅入力同調回路の歪を従来技術と比較したものであり、相互変調歪であるCSO (Composite Second Order b

eat) や、CTB (Composite Triple Beat) が15dB以上改善され、また、混変調歪が10dB以上改善される。また同時にイメージ比及び局部発振信号漏れにおいて、選択度・特性が改善され選択特性の改善による電力利得や雑音指数の劣化が少なくなる。

【0077】（実施形態5）図5は実施形態5の回路図であり、図4に示す実施形態に対応する部分には同一符号を付し、説明を省略する。図5において、図4と相違する点は図4に示す同調用の可変容量ダイオード132の代わりに同じ可変容量ダイオードを並列接続したものを逆向きに直列接続した可変容量ダイオード回路150を用いたものである。

【0078】次に高周波増幅入力同調回路の同調用コンデンサである可変容量ダイオードについて説明をする。同調用コンデンサは、上述する図4に示すように可変容量ダイオード素子1個で、その機能を果たしているが、多波のCATV信号が75dBμ以上の強入力となった場合、特に可変容量ダイオードに印加されるバイアスが浅い場合には大振幅モードとなり検波作用を呈することは周知である。

【0079】これらの欠点を低減すべき本発明では可変容量ダイオードを直列接続することにより、その両端に加わる信号レベルが1/2となることに着目し、歪の発生を低減している。しかし、単にダイオードを直列接続した場合、可変容量ダイオードの内部抵抗（直列抵抗）が直列接続され共振回路としての実効Qが下がり選択度特性が劣化する。

【0080】これを解決するため同一特性のダイオードを並列接続し、これを更に直列接続することにより内部抵抗が1/2となり、且つ容量変化比は変更前と同一となる。またこの方法により同調容量の最小値をも変更前と同じにすることができる。さらに可変容量ダイオードの特性を同一としたのは局部発振回路及び高周波増幅出力回路の共振回路（同調回路）とのトラッキングエラーを防ぐためである。

【0081】（実施形態6）本実施形態を説明するにあたり、上述の実施形態との差異を明確にするため、図8に示す回路を重複説明する。上述する図8において、VHFハイバンド及びVHFローバンドの高周波増幅入力回路25及び26は図12に示すようになっている。図12において、図8に対応する部分には同一符号を付し説明を省略する。

【0082】図12において、140、141はインピーダンス整合用コイルであり、142、143は同調コイル、144、145は可変容量ダイオード、146、147はコンデンサであって、上記同調コイル142、143、可変容量ダイオード144、145及びコンデンサ146、147でそれぞれVHFハイバンド及びVHFローバンドの同調回路を形成している。上記インピー

17

ダンス整合コイル140、141と結合用コンデンサ148、149は高周波増幅入力同調回路25、26を前段の入力信号切換回路と後段の高周波増幅器28、29に整合させるためのものである。

【0083】同調電圧は同調電圧入力端子155、156よりバイアス抵抗151、152を介して可変容量ダイオード144、145に印加される。そして、この可変容量ダイオード144、145に印加される同調電圧によって同調回路の同調点が調整される。

【0084】また、高周波増幅器28、29へのバイアスはVHFハイバンド及びVHFローバンドのバイアス電源端子157、158よりバイアス抵抗153、154を介して供給される。上記高周波増幅器28、29を構成するデュアルゲート型MOSFETのゲート1には上記高周波増幅入力同調回路からの入力信号が供給され、ゲート2にはAGC端子53より抵抗55、56を介してリバースAGC電圧が印加される。

【0085】従って、上記高周波増幅器28、29の入力信号レベルが60dBμ以下においてはフルゲインで動作し、また60dBμ以上の入力信号レベルにおいてはチューナの出力レベルが常に一定レベルとなるようAGC端子53にDC電圧が印加されている。このDC電圧はデュアルゲート型MOSFETのゲート2に接続されているので、リバース方向にDC電圧を印加することにより高周波増幅器の電力利得が低下する機能を有している。

【0086】CATV信号は100チャンネル前後の多くの信号からなり、同一レベルで同時にチューナの入力端子に導入される。この信号は入力同調回路を経由して希望信号を導出し、高周波増幅器である上記デュアルゲート型MOSFETのゲート1に印加されるが、入力信号レベルが60dBμ以上になると、相互変調歪(Inter modulation)であるCSO(Composite second order beat)やCTB(Composite triple beat)の他、混変調歪が発生しやすくなるという欠点があった。

【0087】また、高周波増幅入力同調回路25、26に多波のCATV入力信号が入力信号レベル75dBμ以上の信号として印加されると、可変容量ダイオード144、145において相互変調歪、混変調歪が発生しやすくなるという問題があった。

【0088】本実施形態は上記課題を解決を図るものである。図10は実施形態6の回路図であり、図4あるいは図5に示す実施形態4あるいは5に対応する部分には同一符号を付し説明を省略する。図10に示す実施形態6は高周波増幅入力同調回路の歪の改良に係り、特にVHFハイバンドおよびVHFローバンドにおける高周波増幅入力同調回路の相互変調歪の特性改善を図るもので、CATV信号である多チャンネルの信号が60dBμ以上の強信号の入力レベルで入力した場合にも歪の発生を抑制するようにしたものである。

18

【0089】また、高周波増幅入力同調回路の後段に設けられる高周波増幅器はデュアルゲート型MOSFETで構成されるが、このデュアルゲート型MOSFETは60dBμ以上の入力レベルの多波信号が入力すると、歪が発生しやすくなるので、このような信号が入力しないように高周波増幅入力同調回路の特性改善を図るものである。また、入力同調回路の可変容量ダイオードの1素子当りに加わる信号レベルを低減させるようにして、同調回路での歪を改善するようにしたものである。

【0090】VHFハイバンドとVHFローバンドの高周波増幅入力同調回路は回路定数が相違するが、回路構成は実質的に同一であるので、以下両回路を併せて説明する。図10において、160、161及び162、163は同調コイル、164及び166は可変容量ダイオード回路、165及び167は可変容量ダイオード、168、169及び170、171は容量変化比抑制コンデンサであり、上記同調コイルと可変容量ダイオードと容量変化比抑制コンデンサでそれぞれ同調回路を構成する。

【0091】172、180及び173、181は前段の回路とのインピーダンス整合を図るための整合用可変容量ダイオード、174及び175は後段の回路とのインピーダンス整合を図るための整合用の可変容量ダイオード、176、177及び178、179は直流遮断コンデンサ、182、183、184及び185、186、187は同調電圧入力端子155及び156より可変容量ダイオード164、172、180及び166、173、181にバイアス電圧として同調電圧を供給する同調電圧供給用バイアス抵抗である。

【0092】また、188および189は次段の高周波増幅器28および29にバイアス電源端子157及び158からバイアス電圧を供給するためのバイアス抵抗、190、191および192、193はバイパスコンデンサである。そして、上記の構成により、VHFハイバンド及びVHFローバンドの高周波増幅入力同調回路は複同調型入力回路を形成する。

【0093】従って、PINダイオードより成る選択回路22、23で選択されたVHFハイバンド及びVHFローバンドの受信信号は整合用可変容量ダイオード172、180及び173、181で整合がとられた後、可変容量ダイオード回路164及び166、コイル160及び162、容量変化比抑制コンデンサ168及び170及び167、ここで同調電圧入力端子0より成る同調回路に導かれ、ここで同調電圧により決まる周波数の信号に同調される。

【0094】そして、上記同調回路で同調された信号は上記コイル160及び162と結合する同調用コイル161及び163、可変容量ダイオード165及び167、容量変化比抑制コンデンサ169および171より成る同調回路で上記同

19

調電圧入力端子155及び156より入力される同調電圧により再び同調がとられる。

【0095】そして、この同調信号は次段の回路との整合をとる整合用可変容量ダイオード174及び175を介し、更に直流遮断コンデンサ177及び179を介して次段の高周波増幅器28及び29の入力端子に供給される。上記高周波増幅器28及び29の入力端子には抵抗188及び189を介してバイアス電圧が印加され、強い入力信号の入力に対してAGC制御が行なわれる。

【0096】次に、上記の高周波増幅入力同調回路における同調用コンデンサである可変容量ダイオード回路164及び166について説明する。従来、同調用コンデンサは可変容量ダイオード1素子で構成しているが、多波のCATV信号が75dB μ 以上の強入力となった場合、特に可変容量ダイオードに印加されるバイアスが浅い場合には、大振幅モードとなり検波作用を呈することがある。かかる問題に対処するため本実施形態では、2個の可変容量ダイオードを直列接続し、その両端に加わる信号レベルが1/2となるようにして歪の発生を低減している。

【0097】しかし、単にダイオードを直列接続したものでは可変容量ダイオードの内部抵抗（直列抵抗）が直列接続され、共振回路としての実効Q（尖鋭度）が下がり、選択度特性が劣化する。これを解決するため同一特性のダイオードを並列接続し、この並列接続したものを直列接続する。このように、同一特性のダイオードを並列接続することにより内部抵抗が1/2となり、且つ容量変化比は変更前と同一となる。

【0098】また、この構成により同調容量の最小値をも変更前と同じにすることができ、さらに可変容量ダイオードの特性を同一にすることにより局部発振回路及び高周波増幅出力回路の共振回路（同調回路）とのトラッキングエラーを防ぐことができる。同調回路との整合用可変容量ダイオード172及び173においても歪が発生しやすいので、上述する同調用の可変容量ダイオード回路164及び166と同様に可変容量ダイオードを直並列接続することにより歪の低減を図っている。

【0099】図11は相互変調歪及び混変調歪が従来例より改善されていることを示すグラフである。図11より明らかなように相互変調歪であるCSO、STBは従来例の1（小文字のエル）に比べて本実施形態ではLになり15dB以上改善され、混変調歪は従来例のmに比べて本実施形態ではMになり、10dB以上改善される。また、イメージ比及び局部発振信号漏れの特性改善による選択度特性が改善され、選択度特性の改善による電力利得・雑音指数の劣化度を小さくすることができる。

【0100】（実施形態7）図13は本発明の第7の実施形態のブロック図である。本実施形態では2系統の回路構成とすることにより回路規模を上述の図8に示すケ

20

ーブルモデム用チューナよりも小さくしている。QPSK変調された上りの信号はデータ端子41よりアップストリーム回路40に入力され、アップストリーム回路40より入力端子1を介してCATV局に向けて送出される。他方、入力端子1に入力される下りの信号はハイパスフィルタ2を通過した後に入力選択回路18、19に入力される。ハイパスフィルタ2は5～46MHzを減衰域とし、54MHz以上を通過域とするもので、アップストリーム回路40より出力される上りの信号を遮断する。

【0101】入力選択回路18、19は後述するようにスイッチングダイオードで構成されており、UHFバンドとVHFバンドによりハイパスフィルタ2を通過後の信号をそれぞれ各バンド系統の回路に切り換える。UHFバンドとは470～860MHzをいう。VHFバンドとは54～170MHzのVHFハイバンドと170～470MHzのVHFローバンドをいうが、各バンドの範囲は特に規定されない。尚、入力選択回路18、19はフィルタにより帯域分割して出力を切り換えるものでもよい。

【0102】UHFバンドのチャンネル受信時には、UHFバンド系統の入力選択回路18、高周波増幅入力同調回路3、高周波増幅器（高周波増幅回路）6、高周波増幅出力同調回路21、混合回路9及び局部発振回路10が動作状態となり、VHFバンド系統の入力選択回路19、高周波増幅入力同調回路4、5、高周波増幅器7、高周波増幅出力同調回路22、23、混合回路13、局部発振回路12、14が動作を停止する。

【0103】VHFハイバンドのチャンネル受信時には、VHFバンド系統の入力選択回路19、高周波増幅入力同調回路5、高周波増幅器7、高周波増幅出力同調回路23、混合回路13及び局部発振回路12が動作状態となり、UHFバンド系統の入力選択回路18、高周波増幅入力同調回路3、高周波増幅器6、高周波増幅出力同調回路21、混合回路9及び局部発振回路10は動作が停止する。このとき、切り換え用のスイッチングダイオード31～33はOFF状態であり、高周波増幅入力同調回路4と高周波増幅出力同調回路22は動作しない。

【0104】VHFローバンドのチャンネル受信時には、スイッチングダイオード31～33がONし、VHFバンド系統の入力選択回路19、高周波増幅入力同調回路4、5、高周波増幅器7、高周波増幅出力同調回路22、23、混合回路13及び局部発振回路14が動作状態となり、UHFバンド系統の入力選択回路18、高周波増幅入力同調回路3、高周波増幅器6、高周波増幅出力同調回路21、混合回路9及び局部発振回路10は動作が停止する。

【0105】アップストリーム回路40、ハイパスフィルタ2、中間周波増幅回路42、44、SAWフィルタ

21

43及びPLL選局回路45等の共通回路はバンドの切り換えとは無関係に常時動作する。PLL選局回路45はCPUからの選局データを受けることにより動作し、局部発振回路10、12、14の発振周波数を制御する。また、上記CPUはバンドに応じて入力選択回路18、19及びスイッチングダイオード31～33を制御して回路の切り換えを行う。

【0106】次に各バンドでの動作状態を説明する。CATV信号は上述のようにIFフィルタ（ハイパスフィルタ）2を通過した後、入力選択回路18、19に入り、バンドに応じて切り換えが行われる。そして、高周波増幅入力同調回路3又は4、5で入力選択回路18又は19の各出力信号の同調が行われる。そして、高周波増幅器6又は7で信号の増幅が行われ、高周波増幅出力同調回路21又は22、23で受信信号の導出が行われる。

【0107】その後、受信信号は混合回路9又は13及び局部発振回路10又は12、14で周波数変換されて中間周波数の信号となり中間周波増幅回路42で増幅される。そして、SAWフィルタ43を通過した後に、再度中間周波増幅回路44で増幅され、出力端子15より導出される。

【0108】本実施形態は特にVHFバンド系統に特徴を有するものであり、図14にVHFバンド系統の具体的な回路を示す。VHFバンドのチャンネル受信時にはCPUの制御により電源端子BLに電圧が印加されるためバイアス抵抗R7、R8によりスイッチングダイオードD12にバイアスが供給されてON状態となり、ハイパスフィルタ2からの信号が通過する。一方、UHFバンドのチャンネル受信時には電源端子BLに電圧が印加されないで、スイッチングダイオードD12がOFF状態となり、信号を遮断する。スイッチングダイオードD1は図13における入力選択回路19に対応している。

【0109】VHFハイバンドのチャンネル受信時には更に電源端子BHに電圧が印加されるため、整合用コイルL13を介してスイッチングダイオードD10をON状態とし、更にダイオードD10からコイルL10を介してスイッチングダイオードD11をON状態とする。ダイオードD11のカソードはダイオードD12のアノードに接続されている。

【0110】また、電源端子BHに電圧が印加されることによりスイッチングダイオードD6をON状態とし、バイアス抵抗R5及びコイルL7を介してスイッチングダイオードD5をON状態とする。更にダイオードD5のアノード側には整合用コイルL5を介してスイッチングダイオードD1をONする。また、抵抗R5とコイルL7の接続中点には整合用コイルL4を介してスイッチングダイオードD2が接続されており、電源端子BHに電圧が印加されることによりON状態となる。

22

【0111】これにより、同調コイルL9、L13及び可変容量ダイオードD8が同調回路を形成する。この同調回路の同調点は端子BTより抵抗R14を介して可変容量ダイオードD8に印加される同調電圧によって調整される。この同調回路は同調電圧印加回路（図示せず）より供給される。L11、L12が整合用コイルであり、これにより、選局された信号は高周波増幅器7で増幅されて高周波増幅出力同調回路22、23（図13参照）に出力される。

【0112】高周波増幅出力同調回路22、23では、スイッチングダイオードD6、D7、D1、D2がON状態となり、可変容量ダイオードD3と同調コイルL6により1次側同調回路が形成され、可変容量ダイオードD4とコイルL6に結合している同調コイルL5により2次側同調回路が形成される。L3及びL4は混合回路13との整合用コイルである。C10～C12は容量変化比抑制コンデンサコンデンサである。

【0113】VHFローバンドのチャンネル受信時には電源端子BHに電圧が印加されず、スイッチングダイオードD1、D2、D5、D6、D10、D11がOFF状態となる。そのため、高周波増幅入力同調回路4、5ではD8、L9、L10、L12、L13により同調回路が形成される。

【0114】高周波増幅出力同調回路22、23ではD3、L6、L8により1次側同調回路が形成され、D4、L5、L7により2次側同調回路が形成される。コイルL5、L7はコイルL6、L8と結合している。混合回路13へはL1、L3及びL2、L4の整合用コイルで結合する。可変容量ダイオードD7は高周波増幅入力同調回路4、5への整合用に挿入されている。可変容量ダイオードD9とイメージトラップコンデンサC13により可変型イメージトラップが形成されている。これにより、イメージ周波数が除去され、混合回路13で信号の歪の発生が防止される。

【0115】AGC電圧はAGC制御回路（図示せず）抵抗Raを介して高周波増幅器7に供給される。高周波増幅器7はデュアルゲート型MOSFETが使用されており、第1ゲートには同調回路4、5からの信号が供給され、第2ゲートにはAGC電圧が供給される。尚、C1～C9は直流遮断コンデンサである。C14～C17はバイパスコンデンサである。

【0116】以上説明したように本実施形態では、3系統に分けられた図8に示すケーブルモデム用チューナと比較すると、VHFバンド系統では高周波増幅器7と混合回路13をVHFハイバンド及びVHFローバンドで共通に使用して2系統で構成されているので上記従来のケーブルモデム用チューナ（図8参照）よりも回路の規模が小さくなり、コストを約20%低減する。高周波増幅器6、7の個数が減少して2個となるため消費電力の

低減も可能となる。

【0117】(実施形態8) 図15は本発明の第8の実施形態の回路図であり、図13と対応する部分については同一符号を付し説明を省略する。尚、PLL選局回路45(図13参照)は図面を見やすくするために図15では図示されていない。本実施形態では入力選択回路18、19をスイッチングダイオードで構成し、このスイッチングダイオード(PINダイオード)を後段の高周波増幅器6、7と同様にAGC電圧で制御して、高周波増幅回路6、7の非直線歪を改善するものである。

【0118】図15において、UHFバンド系統にはスイッチングダイオード18、直流遮断コンデンサ47、高周波増幅入力同調回路3、高周波増幅器6、高周波増幅出力同調回路21、混合回路9、局部発振回路10、バイアス抵抗75、88、AGCバイアス抵抗81、84及びNPNトランジスタ78が設けられている。

【0119】VHFバンド系統にはスイッチングダイオード19、直流遮断コンデンサ48、高周波増幅入力同調回路4、5、高周波増幅器7、高周波増幅出力同調回路22、23、混合回路13、局部発振回路12、14、バイアス抵抗77、90、AGCバイアス抵抗83、86及びNPNトランジスタ80が設けられている。高周波増幅器6、7はデュアルゲート型MOSFETであり、第1のゲートには高周波増幅入力同調回路3又は4、5より出力される信号が入力され、第2のゲートには抵抗84又は86を介してAGC端子91より入力される信号が入力される。

【0120】端子1に入力されたCATV信号は5~46MHzの上り信号を除去するハイパスフィルタ2を通過した後に直流遮断コンデンサ46を経てPINダイオード18、19に送られる。一般にPINダイオードはアノードからカソードへの電流を制御することにより高周波抵抗が変化する特性を有しており、アッテネータ回路等に用いられている。

【0121】バイアス抵抗42と、75、77によりPINダイオード18、19にバイアスを供給し、その電流をNPNトランジスタ78、80で制御する。トランジスタ70、80の各コレクタはそれぞれ電源端子92、94に接続され、各エミッタよりPINダイオード18、19にバイアスを供給する。トランジスタ70、80の各ベースはAGC抵抗81、83を介してAGC端子91に接続されており、AGC制御回路(図示せず)よりAGC端子91に供給されるAGC電圧によりバイアスを制御する。

【0122】したがって、UHFバンドとVHFバンドの選択は電源端子92、94に印加される電圧により行われる。例えば、電源端子92に電圧が印加され、電源端子94に電圧が印加されないようにすると、UHFバンド系統の回路にCATV信号が導入され、一方、VHFバンド系統の回路にはCATV信号が導入されない。

逆に、電源端子92に電圧が印加されず、電源端子94に電圧が印加されるようにすると、UHFバンド系統の回路に信号が導入されず、VHFバンド系統の回路に信号が導入される。このとき、上述のようにVHFハイバンドとVHFローバンドの違いによりCPUによりスイッチングダイオード31~33をON/OFFする。

【0123】CATV信号は上記のようにPINダイオード18、19により選択された後、直流遮断コンデンサ47、48のいずれかを通過し、それぞれ高周波増幅入力同調回路3又は4、5に供給される。高周波増幅入力同調回路3又は4、5で希望信号に同調した各信号は、高周波増幅器6又は7で増幅され、高周波増幅出力同調回路21又は22、23で再度同調を行う。混合回路9又は13と局部発振回路10又は12、14で中間周波信号に変換される。

【0124】VHFハイバンドのチャンネル受信時には局部発振回路12が動作状態となり、局部発振回路14はOFF状態となる。一方、VHFローバンドのチャンネル受信時には局部発振回路12がOFF状態となり、局部発振回路14が動作状態となる。中間周波信号は中間周波増幅回路42で増幅され、SAWフィルタ43を通過し、中間周波増幅回路44で増幅され、端子15より出力される。

【0125】本実施形態においては高周波増幅回路6、7での歪を改善するため、PINダイオード18、19でのAGC動作を高周波増幅器6、7でのAGC動作より早く動作するようにバイアスを設定する。これにより、強いレベルのCATV信号が入力されても、PINダイオード18、19で減衰されるので高周波増幅器6、7に強いレベルの信号が入力されることがないので歪みの発生が抑制される。

【0126】AGCのバイアスの設定はバイアス抵抗42、75、77によりRF・AGC動作開始点に設定する。次にPINダイオード18、19の利得減衰量に応じて高周波増幅器6、7がAGC動作するようにバイアス抵抗84、88、86、90により第2ゲートに入力されるAGC電圧を設定する。

【0127】例えばCATV信号の入力レベルが60~90dBμに対してRF・AGCが動作するように設定するにはまず60dBμでAGC動作を開始するようにPINダイオード18、19を設定し、次にPINダイオード18、19の利得減衰量を-15dBとした場合、75dBμの入力レベルとなったときに高周波増幅器6、7のAGC動作が開始するようにバイアス抵抗84、88、86、90を定める。

【0128】(実施形態9) 図16は本発明の第9の実施形態の回路図であり、図13と対応する部分については同一符号を付し説明を省略する。尚、PLL選局回路45(図13参照)は図面を見やすくするために図16でも図示されていない。本実施形態ではPINダイオー

25

ド18、19をAGC制御せず、PINダイオード18、19の前段に設けられているPINアッテネータ回路95をAGC制御する。

【0129】PINアッテネータ回路95には各バンド共通の電源端子97よりNPNトランジスタ96を介してバイアスが供給される。トランジスタ96のベースはAGC抵抗98を介してAGC端子53に接続され、コレクタは電源端子97に接続される。トランジスタ96のエミッタよりPINアッテネータ回路95にバイアスが供給される。

【0130】PINアッテネータ回路95にはPINダイオードが設けられており、これに流れる電流を制御することにより高周波抵抗が変化するので利得減衰量を制御している。高周波増幅器6、7のAGCバイアスは抵抗84、88、86、90を用いて上述の第2の実施形態の場合と同様に設定されている。これにより、本実施形態でも上記第2の実施形態と同様に遅延AGC動作を行うことができる。尚、スイッチングダイオード18をON状態とするには電源端子50を電圧を印加してバイアス抵抗55、99に電流が流れるようにする。一方、スイッチングダイオードをON状態とするには電源端子52に電圧を印加してバイアス抵抗55、99に電流が流れるようにする。

【0131】(実施形態10)図17は本発明の第10の実施形態の回路図であり、図13に対応する部分には同一符号を付し説明を省略する。本実施形態は高周波増幅入力同調回路の改良に係り、特にUHFバンド系統での特性改善を図るものである。

【0132】図17においてコンデンサ130とコイル131は400MHzを遮断周波数とするハイパスフィルタを構成する。61は前記ハイパスフィルタの後段に設けられているインピーダンス整合用コイル、64は同調コイル、132、133は可変容量ダイオード、134は容量変化比抑制コンデンサ、135、136はバイアス抵抗、139は直流遮断コンデンサ、137はバイアス抵抗、138はバイパスコンデンサである。

【0133】同調コイル64、可変容量ダイオード132及び容量変化比抑制コンデンサ134により同調回路が構成されている。インピーダンス整合用コイル61と整合用可変容量ダイオード133は上記同調回路への整合をとるために挿入されている。可変容量ダイオード132、133への各バイアス電圧はそれぞれ同調電圧供給用バイアス抵抗135、136を介して供給される。高周波増幅器6のバイアスは、抵抗137とバイパスコンデンサ138を介して供給される。尚、言うまでもなく高周波増幅器6、7はAGC制御されるものであり、入力選択回路18、19も例えば図15に示すようにAGC動作するように構成されるものである。

【0134】これにより、相互変調であるCSOやCTBが15dB以上改善され、また、混変調歪が10dB

26

以上改善される。また、同時にイメージ比及び局部発振信号漏れにおいて選択度特性が改善され、電力利得や雑音指数の劣化が少なくなる。

【0135】(実施形態11)図18は本発明の第11の実施形態の回路図であり、図17に対応する部分には同一符号を付し説明を省略する。本実施形態と上記第10の実施形態との相違点は図18に示す同調用の可変容量ダイオード132の代わりに同じ特性を有する可変容量ダイオードを並列接続したものを逆向きに直列接続した可変容量ダイオード150を用いたところである。

【0136】図18では1個の同調用コンデンサ132でその機能を果たしているが、多波のCATV信号が75dBμ以上の強入力となった場合、特に可変容量ダイオードに印加されるバイアスが浅い場合には大振幅モードとなり検波作用を呈することがある。本実施形態では可変容量ダイオードを直列に接続すると1個の可変容量ダイオードの両端に加えられる信号レベルが1/2となることに着目し、歪みの発生を低減しようとしている。しかし、単に可変容量ダイオードを直列接続しただけでは可変容量ダイオードの内部抵抗(直列抵抗)により、共振回路としての実効Qが下がり選択度特性が劣化してしまう。

【0137】そこで、本実施形態のように同一特性のダイオードを並列接続し、これを更に直列接続する。同一特性のダイオードを並列接続することにより合成抵抗が内部抵抗の1/2となり、且つ容量変化比は変更前と同一となる。また、この方法により同調容量の最小値も変更前と同じにすることができる。可変容量ダイオードの特性を同一としたのは局部発振回路及び高周波増幅出力同調回路とのトラッキングエラーを防ぐためである。

【0138】

【発明の効果】本発明は以上の構成であるので、請求項1によれば、シングルコンバージョン方式の採用により消費電力が少なくなり常時待機受信となるケーブルモデムに適したチューナを提供することができる。また、ダブルコンバージョン方式のように局部発振回路間の干渉がないのでローカルスプリアス妨害の発生による通信エラーが生ずることがなくシールド構造も簡略化できるとともに回路素子間の空間距離を大きくする必要がなくなり、小型軽量の装置を得ることができる。

【0139】また、入力回路に広帯域増幅回路を設けた従来技術のように、歪を改善するため電力利得を低くする必要がなく、入力回路に同調回路を設けているので歪の改善が容易で高利得にすることができ、結果的に低雑音化を図ることができる。また、局部発振周波数が受信周波数より中間周波数分だけ高くすればよいので、フェイズノイズやマイクロホニック雑音を改善でき、ビートの劣化現象による通信エラーを低減することができる。

【0140】又、請求項2及び3によれば、請求項1で得られる効果に加え、更に次の効果を得ることができ

る。高周波増幅回路が多波の強入力信号に対して歪が発生しやすいデュアルゲート型MOSFETで構成されているが、入力選択回路或いはその前段に設けたアッテネータ回路に、AGC制御がかかるようになっているので、強入力のCATV信号を受信した場合でも上記デュアルゲート型MOSFETに入力レベルの高い強信号が印加されることがなく、しかも、デュアルゲート型MOSFET自身にもAGC制御がかかっているため、強入力信号での歪の発生を抑制することができる。

【0141】また、請求項2によれば、各バンドの入力切り換えをPINダイオードで行っているため同時に利得の可変を行わせることができる。この場合、利得の可変減衰量は15～20dB程度であり、デュアルゲート型MOSの利得減衰量は40dB程度であるため、全利得可変減衰量は55～60dBに改善でき、強入力信号に耐え得る低歪のチューナを得ることができる。

【0142】請求項4の構成によれば、受信信号を3系統に分けてそれぞれ各系統における同調回路や高周波増幅回路等により中間周波数の信号に変換される。

【0143】請求項5の構成によれば、スイッチング素子を用いて第1及び第2の帯域を1つの系統で中間周波数の信号に変換することができるので、回路規模が縮小されてコストダウンとなる。また、高周波増幅回路を少なくしているので消費電力を低減することもできる。

【0144】請求項6の構成によれば、高周波増幅入力同調回路は、ハイパスフィルタ、同調コイルと可変容量ダイオードより成る同調回路及び次段の高周波増幅回路にバイアス電圧を印加するバイアス抵抗で構成される。従って、請求項1による効果に加え次の効果を得ることができる。高周波チョークコイルを介してバイアス電圧を供給するものに比べ、上記高周波チョークコイルと上記高周波増幅回路の入力容量による共振回路が形成されることがないので、上記ハイパスフィルタの遮断周波数との間で生ずる干渉による妨害信号の影響を回避することができる。その結果相互変調歪によるCSO、CTB及び混変調歪を改善することができ、選択度特性の改善を図ることができる。

【0145】また、請求項7及び請求項9によれば、UHFバンド(B3バンド)及びVHFハイバンド(B2バンド)、VHFローバンド(B1バンド)における上記高周波増幅入力同調回路において同調回路を構成する可変容量ダイオードに代え、同一可変容量ダイオードが並列接続されたものを、逆方向に直列接続した回路にするので、請求項1による効果に加え次の効果を得ることができる。強入力レベルのCATV信号を受信した場合でも1個の可変容量ダイオードに印加される電圧レベルが低くなり歪の発生を抑制することができる。

【0146】また、可変容量ダイオードが直列に接続されているので、回路のインピーダンスを上昇させることがなく、同調回路の実効Qを低下させることもない。そ

の結果、相互変調歪であるCSO、CTBおよび混変調歪が改善され、イメージ比、局部発振信号漏れにおいて、選択度特性が改善される。また、選択度特性の改善による電力利得および雑音指数の劣化を抑制することができる。

【0147】請求項8によれば、VHFハイバンド及びVHFローバンドの高周波増幅入力回路は第1及び第2の共振回路より成る複同調型入力回路を形成し、可変容量ダイオードで隣接する回路とのインピーダンス整合を図り、しかも次段の高周波増幅器の入力端子に与えるバイアス電圧を抵抗結合で供給するようにしているので、歪の少ない特に相互変調歪の改善された回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態のブロック図。

【図2】本発明の第2の実施形態の回路図。

【図3】本発明の第3の実施形態の回路図。

【図4】本発明の第4の実施形態の回路図。

【図5】本発明の第5の実施形態の回路図。

【図6】本発明の実施形態の特性図である。

【図7】従来例のブロック図。

【図8】本発明の他の実施形態の回路図。

【図9】図8の要部の回路図。

【図10】本発明の第6の実施形態の回路図。

【図11】本発明の第6の実施形態の特性図。

【図12】本発明の他の実施形態の回路図。

【図13】本発明の第7の実施形態のブロック図。

【図14】その主要部の回路図。

【図15】本発明の第8の実施形態の回路図。

【図16】本発明の第9の実施形態の回路図。

【図17】本発明の第10の実施形態の回路図。

【図18】本発明の第11の実施形態の回路図。

【符号の説明】

20	ハイパスフィルタ
21、22、23	PINダイオード
24、25、26	高周波増幅同調回路
27、28、29	高周波増幅器
30、31、32	高周波増幅出力同調回路
33、34、35	混合回路
36、37、38	局部発振回路
39、41	中間周波増幅回路
40	SAWフィルタ
58	アップストリーム回路
75、76、77、135、136、137	バイアス抵抗
78、79、80、96	インバータ
81、82、83、84、85、86	AGC抵抗
88、89、90、98	バイアス抵抗
130	コンデンサ
131	コイル

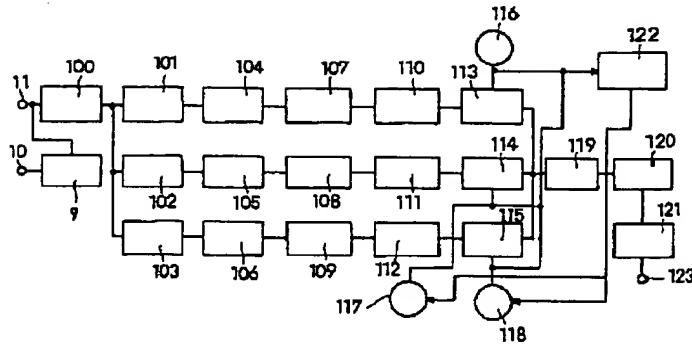
29

30

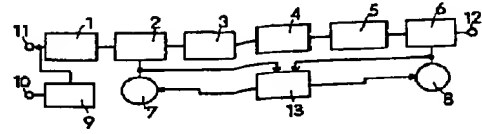
132、133、134 可変容量ダイオード
 138、191、193 バイパスコンデンサ
 139、176、177、178、179 DCカッ

トコンデンサ
 150、164、166 可変容量ダイオード回路
 160、161、162、163 同調コイル

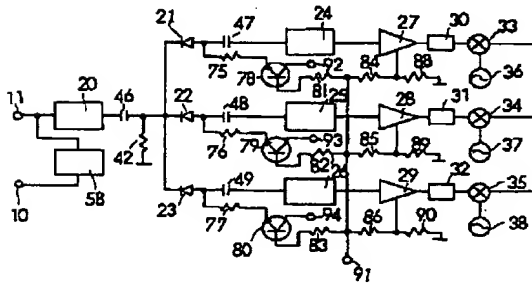
【図1】



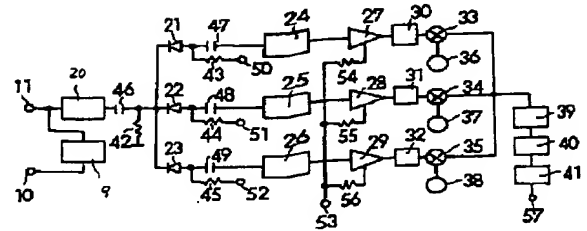
【図7】



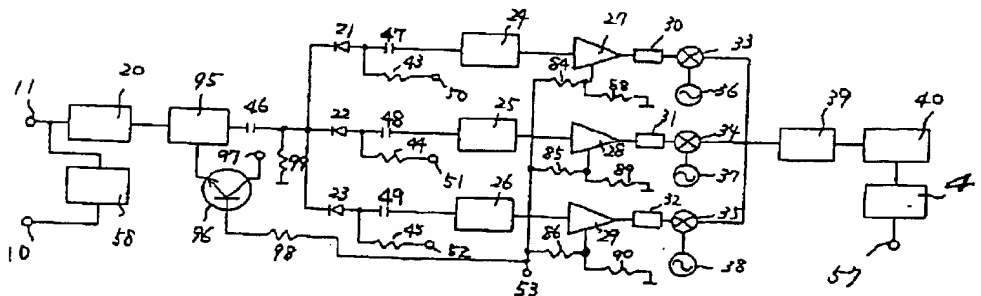
【図2】



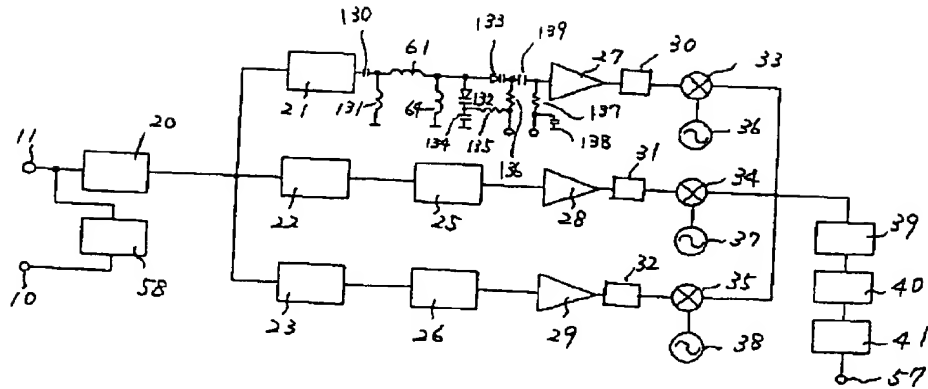
【図8】



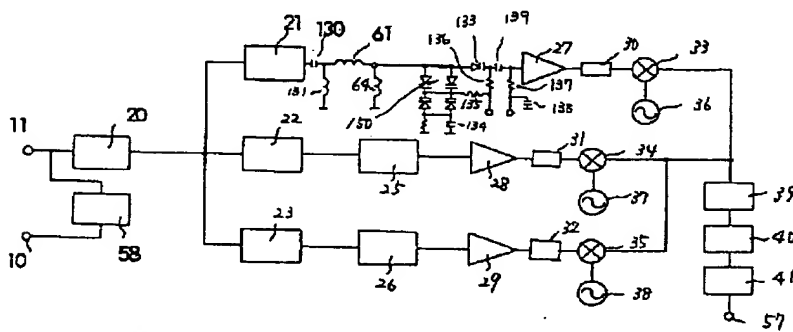
【図3】



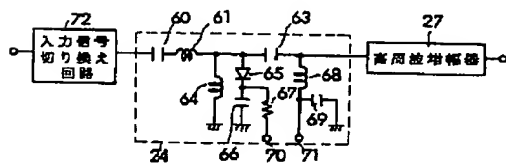
【図4】



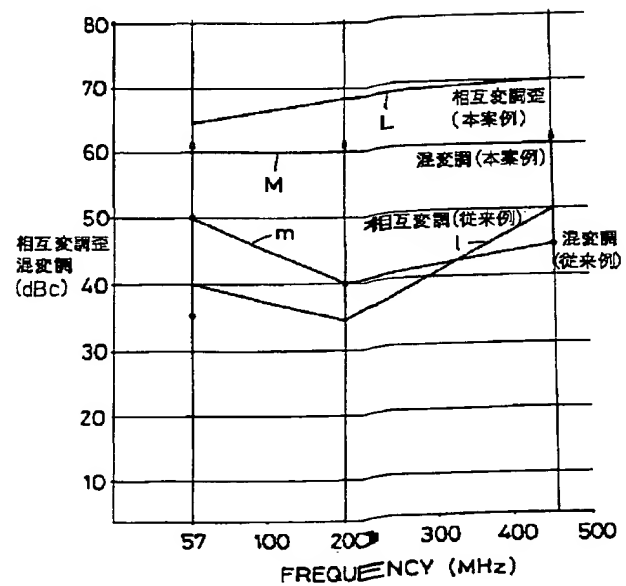
【図5】



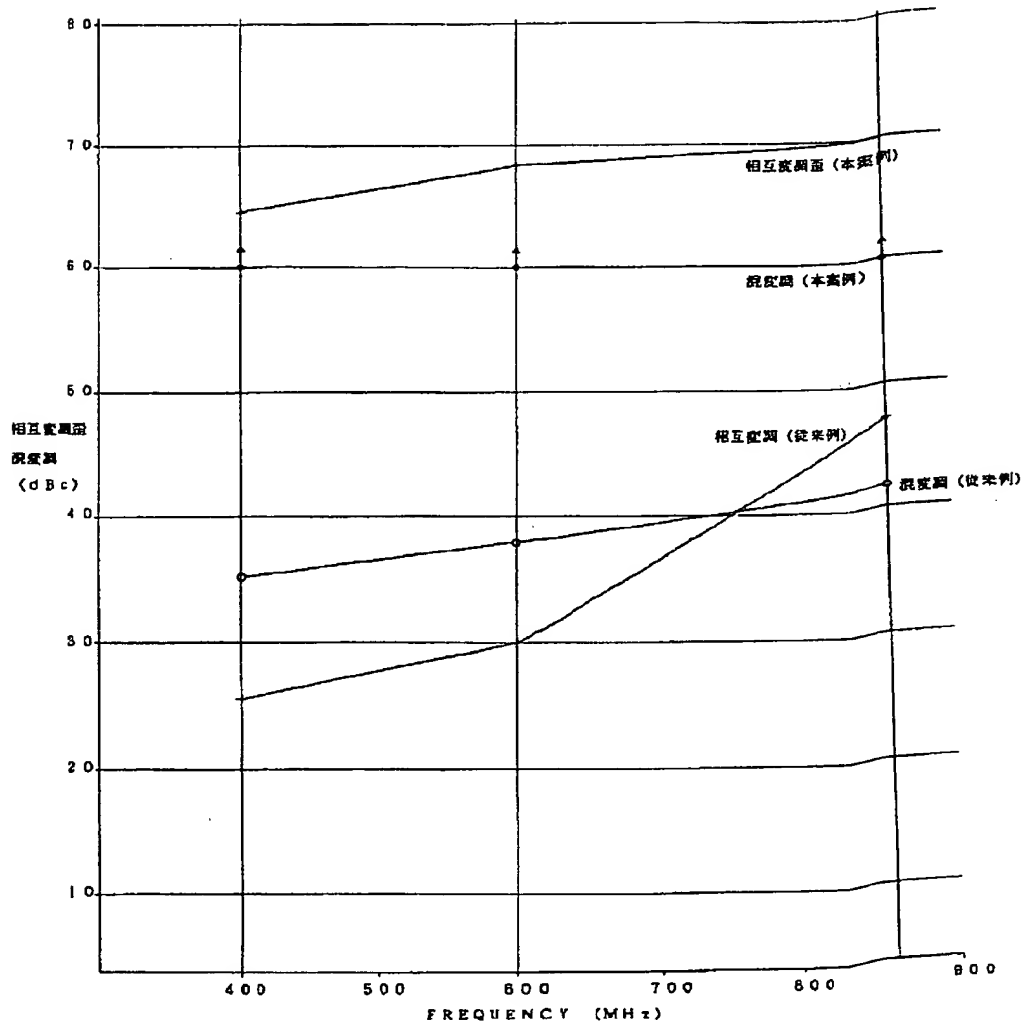
【図9】



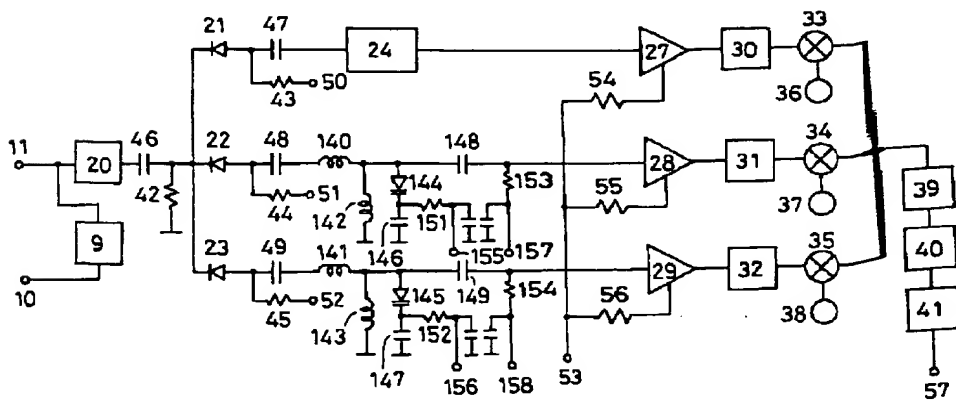
【図11】



【図6】



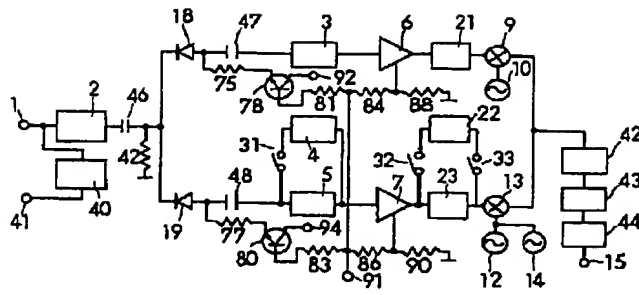
【図12】



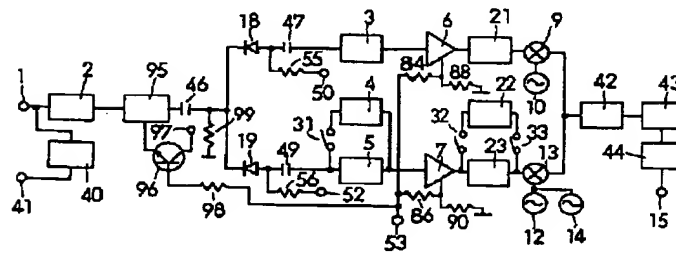
The diagram shows a four-channel electronic device. It has two input channels on the left, labeled 11 and 10, and two output channels on the right, labeled 36 and 37. Each input channel consists of a switch (20, 58) and a selector switch (21, 23). The selector switches route the input signals to two parallel processing channels. Each processing channel contains a network of resistors (e.g., 176, 172, 180, 182, 183, 184, 178, 173, 181, 185, 186, 187), diodes (160, 164, 168, 162, 166, 170, 161, 165, 169, 163, 167, 171), and capacitors (155, 157, 156, 158). The outputs of these channels are amplified by operational amplifiers (27, 28, 29) and then combined at summing junctions (33, 34, 35) to produce the final outputs 36 and 37. The circuit is powered by a common supply (57) and ground (59).

[illegible]

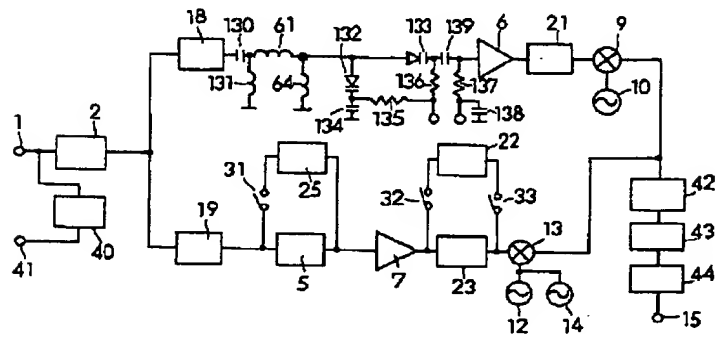
【図15】



【図16】



【図17】



【図18】

